

Dersin Tanımı						
Adı	Kodu	Yarıyıl	T+U Saat	Kredi	AKTS	
GÖMÜLÜ SİSTEMLER		EEE4210768	Bahar Dönemi	3+2	4	8
Ön Koşul Dersleri	MİKROİŞLEMCİLER					
Önerilen Seçmeli Dersler						
Dersin Dili	İngilizce					
Dersin Seviyesi	Lisans					
Dersin Türü	Programa Bağlı Seçmeli					
Dersin Koordinatörü	Dr.Öğr.Üye. Mustafa AKTAN					
Dersi Verenler	Dr.Öğr.Üye. Mustafa AKTAN					
Dersin Yardımcıları						
Dersin Amacı	Dijital sistemlerin tasarımı (spesifikasyon, simülasyon ve sentez) için donanım tanımlama diline (Verilog HDL) hakim olmak ve bunları FPGA'lara uygulamak.					
Dersin İçeriği	Bu ders; Sayısal Sistemler İncelemesi,FPGA Sistemleri,Verilog Kullanarak Dijital Sistem Modelleme,Verilog Modelleme Stilleri: Yapısal,Verilog Modelleme Stilleri: Veri Akışı,Verilog Modelleme Stilleri: Davranışsal,Tasarım Doğrulaması,Verilog kullanarak kombinasyonel devre tasarımı,Verilog kullanarak sıralı devre tasarımı,Verilog kullanarak Sonlu Durum Makine Tasarımı,CPU Tasarımı,Sentezleme,Verilog tasarımının FPGA üzerinde uygulanması,Tasarım Optimizasyonu; konularını içermektedir.					
Dersin Öğrenme Kazanımları			Öğretim Yöntemleri	Ölçme Yöntemleri		
Verilog HDL kullanarak dijital blokların yapısal, veri akışı ve davranışsal modellenmesi			10, 12, 14, 16, 17, 19, 2, 21, 5, 6, 9	A, E, F		
Verilog'da kombinasyonel devreleri modelleme, simülasyon ve test etme			10, 12, 14, 16, 17, 19, 2, 21, 5, 6, 9	A, E, F		
Verilog'da sıralı devreleri modelleme, simülasyon ve test etme			10, 12, 14, 16, 17, 19, 2, 21, 5, 6, 9	A, E, F		
FPGA için Dijital Sistem Sentezi			10, 12, 14, 16, 17, 19, 2, 21, 5, 6, 9	A, E, F		
FPGA için Dijital Sistem Optimizasyonu			10, 12, 14, 16, 17, 19, 2, 21, 5, 6, 9	A, E, F		
Öğretim Yöntemleri	10: Tartışma Yöntemi, 12: Problem Çözme Yöntemi, 14: Bireysel Çalışma Yöntemi, 16: Soru - Cevap Tekniği , 17: Deney yapma Tekniği, 19: Beyin Fırtınası Tekniği, 2: Proje Temelli Öğrenme Modeli, 21: Benzetim/Simülasyon Tekniği, 5: İşbirlikli Öğrenme Modeli, 6: Deneyimle Öğrenme Modeli, 9: Anlatım Yöntemi					
Ölçme Yöntemleri	A: Klasik Yazılı Sınav, E: Ödev, F: Proje Görevi					
Ders Akışı						
Sıra	Konular	Ön Hazırlık				
1	Sayısal Sistemler İncelemesi	Kitap okuma				
2	FPGA Sistemleri	Kitap okuma				
3	Verilog Kullanarak Dijital Sistem Modelleme	Kitap okuma				
4	Verilog Modelleme Stilleri: Yapısal	Kitap okuma				
5	Verilog Modelleme Stilleri: Veri Akışı	Kitap okuma				
6	Verilog Modelleme Stilleri: Davranışsal	Kitap okuma				
7	Tasarım Doğrulaması	Kitap okuma				
8	Verilog kullanarak kombinasyonel devre tasarımı	Kitap okuma				
9	Verilog kullanarak sıralı devre tasarımı	Kitap okuma				
10	Verilog kullanarak Sonlu Durum Makine Tasarımı	Kitap okuma				
11	CPU Tasarımı	Kitap okuma				
12	Sentezleme	Kitap okuma				
13	Verilog tasarımının FPGA üzerinde uygulanması	Kitap okuma				
14	Tasarım Optimizasyonu	Kitap okuma				
Değerlendirme Yöntemleri		Sınava Katkısı				
Ara Sınav		30				
Genel Sınav		70				

**Kaynaklar**

Mano, Ciletti: Digital Design with an Introduction to the Verilog HDL, VHDL, and System Verilog, 6E

Thomas, Moorby: The Verilog Hardware Description Language